

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
4. Januar 2001 (04.01.2001)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 01/01484 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 23/00**

(21) Internationales Aktenzeichen: **PCT/DE00/01772**

(22) Internationales Anmeldedatum:  
30. Mai 2000 (30.05.2000)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:  
199 29 175.6 25. Juni 1999 (25.06.1999) **DE**

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-  
Martin-Strasse 53, D-81541 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **LARIK, Joost**

[DE/DE]; Mitterfeldring 118, D-85586 Poing (DE).  
**HIRLER, Franz** [DE/DE]; Mozartstrasse 4, D-84424  
Isen (DE). **KOTEK, Manfred** [AT/AT]; Ossiacherzeile  
52, A-9500 Villach (AT). **PFIRSCH, Frank** [DE/DE];  
Willroiderstrasse 8A, D-81545 München (DE).

(74) Gemeinsamer Vertreter: **INFINEON TECHNOLO-  
GIES AG**; Zedlitz, Peter, Postfach 22 13 17, D-80503  
München (DE).

(81) Bestimmungsstaaten (national): **JP, US.**

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
NL, PT, SE).

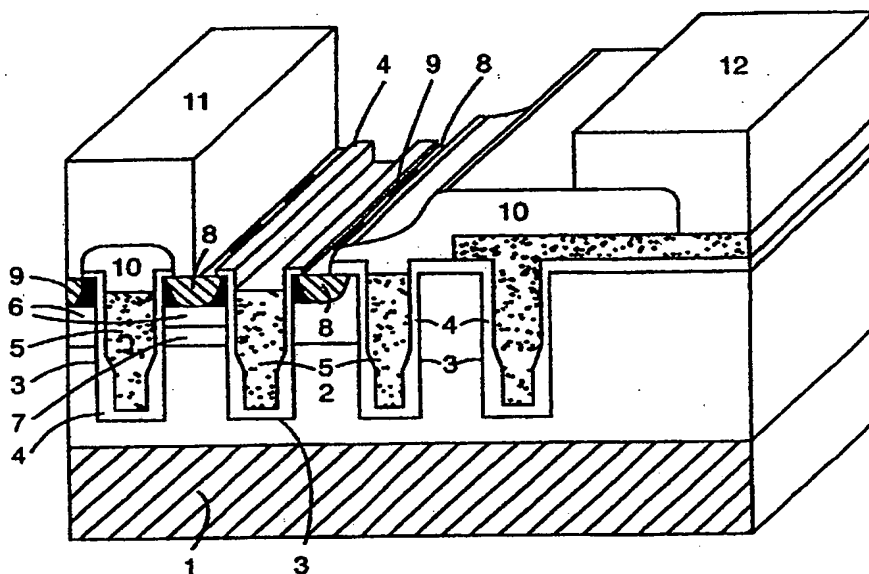
Veröffentlicht:

— Ohne internationalen Recherchenbericht und erneut zu  
veröffentlichen nach Erhalt des Berichts.

[Fortsetzung auf der nächsten Seite]

(54) Title: **TRENCH MOS-TRANSISTOR**

(54) Bezeichnung: **TRENCH-MOS-TRANSISTOR**



(57) Abstract: The invention relates to a trench MOS-transistor, in which the body region (6) is strengthened by an implantation area (7) which faces the drain region (1, 2), in order to increase the avalanche resistance.

[Fortsetzung auf der nächsten Seite]

WO 01/01484 A2



*Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

## Beschreibung

## Trench-MOS-Transistor

5

Die vorliegende Erfindung betrifft einen Trench-MOS-Transistor mit einem Halbleiterkörper des einen Leitungstyps, in welchem ein mit einer Gate-Elektrode versehener Graben vorgesehen ist, der in einer Seitenfläche an seinem oberen Ende wenigstens eine Sourcezone des einen Leitungstyps aufweist und mit seinem unteren Ende in den wenigstens eine Drainzone des einen Leitungstyps bildenden Halbleiterkörper hineinreicht, wobei zwischen Sourcezone und Drainzone ein Bodybereich des anderen Leitungstyps vorgesehen ist und die Gateelektrode von Sourcezone, Bodybereich und Drainzone durch eine Isolierschicht getrennt ist, die eine Stufe aufweist, so daß die Isolierschicht zum unteren Ende des Grabens hin eine größere Schichtdicke als an dessen oberem Ende hat.

20

Bei der Entwicklung neuer Generationen von DMOS-Leistungstransistoren ist ein wichtiges Ziel die Verringerung des spezifischen Einschaltwiderstandes  $R_{on} \cdot A$  ( $A$  = wirksame Fläche). Durch Erfüllung dieser Forderung kann einerseits die statische Verlustleistung in einem DMOS-Leistungstransistor minimiert werden; andererseits lassen sich dadurch im DMOS-Leistungstransistor höhere Stromdichten erreichen, wodurch kleinere und weniger aufwendige Chips für eine den gleichen Gesamtstrom verarbeitende Anordnung eingesetzt werden können.

25

30

Bekanntlich kann der spezifische Einschaltwiderstand  $R_{on}$  erheblich vermindert werden, wenn von der planaren Struktur abgegangen wird und eine Trench-Struktur zur Anwendung gelangt. Dies gilt insbesondere bei integrierten Anordnungen, bei welchen daher bevorzugt Trenchzellen anstelle planarer Strukturen eingesetzt werden. Durch den Einsatz von Trenchzellen kann insbesondere der Kanalwiderstand infolge einer erheblichen Vergrößerung der Kanalweite pro Fläche reduziert werden.

35

Der Widerstand der bevorzugt in einer epitaktischen Schicht auf einem Halbleitersubstrat liegenden Driftstrecke, der sogenannte "Epiwiderstand", kann durch Verwenden von tiefen Trenches reduziert werden (vgl. hierzu insbesondere US

5 4 941 026). Solche tiefen Trenches setzen aber in ihrem unteren Bereich eine dickere Isolierschicht als im eigentlichen Kanalbereich voraus. An dem Übergang zwischen der dickeren und der dünneren Isolierschicht, die bevorzugt aus Siliziumdioxid besteht, liegt eine Oxidstufe vor, die bei tiefen  
10 Trenches nicht zu vermeiden ist.

An dieser Oxidstufe treten aber im Sperrbetrieb des MOS-Transistors erhebliche Spitzen des elektrischen Feldes im Halbleiterkörper unmittelbar unterhalb der Stufe auf. Bei  
15 kleinem Abstand zwischen benachbarten Trenches sind diese Spitzen des elektrischen Feldes höher als die Werte des elektrischen Feldes in der Zellmitte am pn-Übergang zwischen Sourcezone und Bodybereich. Es können daher eine Lawinenmultiplikation von Ladungsträgern und eine Injektion von heißen  
20 Ladungsträgern in die Gate-Isolierschicht auftreten, wodurch diese geschädigt wird und gegebenenfalls sogar eine Zerstörung des MOS-Transistors hervorgerufen wird.

Bisher ist dieses Problem, das speziell bei MOS-Transistoren mit tiefen Trenches vorliegt, in seinen Konsequenzen noch  
25 nicht erkannt worden.

Es ist daher Aufgabe der vorliegenden Erfindung, einen Trench-MOS-Transistor mit tiefen Trench zu schaffen, bei dem  
30 ein Durchbruch an der Oxidstufe im Trench zuverlässig verhindert wird.

Diese Aufgabe wird bei einem Trench-MOS-Transistor mit einem Halbleiterkörper des einen Leitungstyps, in welchem ein mit  
35 einer Gate-Elektrode versehener Graben vorgesehen ist, der in einer Seitenfläche an seinem oberen Ende wenigstens eine Sourcezone des einen Leitungstyps aufweist und mit seinem un-

teren Ende in den wenigstens eine Drainzone des einen Leitungstyps bildenden Halbleiterkörper hineinreicht, wobei zwischen Sourcezone und Drainzone ein Bodybereich des anderen Leitungstyps vorgesehen ist und die Gate-Elektrode von Sourcezone, Bodybereich und Drainzone durch eine Isolierschicht getrennt ist, die eine Stufe aufweist, so daß die Isolierschicht zum unteren Ende des Grabens hin eine größere Schichtdicke als an dessen oberen Ende hat, erfindungsgemäß dadurch gelöst, daß der Bodybereich zur Drainzone hin mit einem Gebiet des anderen Leitungstyps verstärkt ist, wobei dieses Gebiet zur Erhöhung der Avalanche Festigkeit höher dotiert ist als der Bodybereich.

Dieses Gebiet des anderen Leitungstyps, das den gleichen Leitungstyp wie der Bodybereich hat, ist am pn-Übergang zwischen dem Halbleiterkörper und dem Bodybereich vorgesehen und hat einen steileren Dotierstoffgradienten als der Bodybereich.

Bei dem erfindungsgemäßen avalanche festen Trench-MOS-Transistor mit tiefem Trench und Oxidstufe im Trench ist also ein zusätzliches Gebiet vorgesehen, das bevorzugt durch Implantation eingebracht ist und das elektrische Feld am pn-Übergang zwischen Bodybereich und Halbleiterkörper erhöht, so daß der Durchbruch an diesem pn-Übergang bei einer niedrigeren Source-Drain-Spannung des MOS-Transistors erfolgt als der Durchbruch an der Oxidstufe. Bei dem Halbleiterkörper handelt es sich hierbei in bevorzugter Weise um eine auf einem Halbleitersubstrat aus Silizium aufgebrachte epitaktische Schicht aus Silizium. Dieses zusätzliche Gebiet kann im Bodybereich vergraben sein oder in die epitaktische Schicht hinein reichen und dort jeweils zwischen Trenches die Dotierungskonzentration erhöhen.

Der Trench selbst kann dabei grundsätzlich bereits in der epitaktischen Schicht des Halbleiterkörpers enden oder bis in das Halbleitersubstrat hinein reichen.

In vorteilhafter Weise ist es weiterhin möglich, die Stufe zwischen der Isolierschicht mit größerer Schichtdicke und der Isolierschicht mit kleinerer Schichtdicke abzuschrägen, wodurch das elektrische Feld an der Stufe vermindert wird.

5

Wesentlich an der vorliegenden Erfindung ist also die Einführung eines zusätzlichen Gebietes des anderen Leitungstyps zwischen Bodybereich und Halbleiterkörper. Dieses Gebiet muß nicht unter den gesamten Bodybereich reichen und braucht auch nicht von der Oberfläche her ausdiffundiert zu werden. Durch dieses zusätzliche Gebiet, das insbesondere durch Implantation eingebracht ist, wird die Durchbruchsspannung nicht wie in üblicher Weise (vgl. beispielsweise EP 0 746 030 A2) durch einen kleineren Abstand zwischen Zusatzdotierung und Substrat im Vergleich zum Abstand zwischen Trenchboden und Substrat, sondern durch eine höhere Dotierungskonzentration und durch Einbeziehung der das elektrische Feld modellierenden Wirkung der tiefen Trenches festgehalten. Als Vorteil der Erfindung ist auch zu erwähnen, daß das zusätzliche Gebiet mit der höheren Dotierung nicht bis unter die Trenches zu reichen braucht.

10  
15  
20

Das zusätzliche Gebiet, das den Bodybereich verstärkt und in bevorzugter Weise durch Ionenimplantation eingebracht ist, kann mittels Phototechnik zwischen zwei Trenches vorgesehen und ausgeheilt werden, so daß die Dotierung im eigentlichen Kanalbereich nicht verändert wird. Eine praktische Ausführung kann beispielsweise mittels quadratischen Zellen oder in Streifenform erfolgen.

25

30

Weiterhin ist es auch möglich, das zusätzliche und den Bodybereich verstärkende Gebiet in Streifen senkrecht zu den Trenches oder sonstigen beliebigen geometrischen Formen durch beispielsweise Implantation einzubringen und auszuheilen, so daß die Dotierung im Kanalbereich erhöht wird und dieser Teil des MOS-Transistors nicht mehr zum Kanalstrom beiträgt.

35

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

- 5      Fig. 1      ein Ausführungsbeispiel des erfindungsgemäßen Trench-MOS-Transistors in Perspektive,
- Fig. 2      eine Schnittdarstellung einer halben Transistorzelle ohne Body-Verstärkungsimplantation,
- 10   Fig. 3      eine Schnittdarstellung einer halben Transistorzelle mit Body-Verstärkungsimplantation zwischen jeweiligen Trenches,
- Fig. 4      eine Draufsicht auf eine Streifenanordnung von Trenches und Body-Verstärkungsimplantationen,
- 15   Fig. 5      eine Draufsicht auf eine Transistor-Zellenanordnung,
- Fig. 6      eine Draufsicht auf Body-Verstärkungsimplantationen in senkrecht zu Trenchstreifen verlaufenden Streifen,
- 20   Fig. 6      eine Draufsicht auf Body-Verstärkungsimplantationen in senkrecht zu Trenchstreifen verlaufenden Streifen,
- Fig. 7      den Verlauf der Dotierungskonzentration in Abhängigkeit von der Tiefe bei einer Anordnung nach Fig. 6 und
- 25   Fig. 7      den Verlauf der Dotierungskonzentration in Abhängigkeit von der Tiefe bei einer Anordnung nach Fig. 6 und
- Fig. 8      den Verlauf der Dotierungskonzentration in Abhängigkeit von der Tiefe bei einer Anordnung nach Fig. 4.
- 30   Fig. 8      den Verlauf der Dotierungskonzentration in Abhängigkeit von der Tiefe bei einer Anordnung nach Fig. 4.

Fig. 1 zeigt einen erfindungsgemäßen Trench-MOS-Transistor in Perspektive. Dieser Transistor weist ein  $p^+$ -leitendes Silizium-Halbleitersubstrat auf, auf welchem eine p-leitende epitaktische Schicht 2 aus Silizium aufgebracht ist. In dieser

35   p-leitenden epitaktischen Schicht 2 sind mehrere Trenches bzw. Gräben 3 vorgesehen, bei denen die Wände und Böden mit

einer Isolierschicht 4 aus Siliziumdioxid belegt sind. Anstelle von Siliziumdioxid können auch andere Materialien, wie beispielsweise Siliziumnitrid oder Filme aus Siliziumdioxid und Siliziumnitrid vorgesehen werden. Dabei besteht in dieser  
5 Isolierschicht 4 eine Stufe 20: die Isolierschicht ist nämlich im unteren Teil der Gräben 3 dicker als in deren oberen Bereich. Diese Stufe 20 ist dadurch bedingt, daß zur Reduzierung des Widerstandes der Driftstrecke, des sogenannten "Epiwiderstandes", die Trenches 3 tief gestaltet werden. Für diese tiefe Gestaltung der Trenches 3 muß in deren unterem Bereich aber eine dicke Isolierschicht, also ein dickeres Siliziumdioxid, vorgesehen werden.  
10

Die mit der Isolierschicht 4 ausgelegten Trenches sind mit  
15 polykristallinem Silizium 5 gefüllt, das gegebenenfalls dotiert sein kann. Im oberen Bereich der epitaktischen Schicht 2 ist ein n-leitender Bodybereich 6 vorgesehen, der mit Bodykontakten 8 ausgestattet ist und in dem sich Sourcezonen 9 erstrecken.

20 Außerdem ist in Fig. 1 eine Isolierschicht 10 aus beispielsweise Borphosphorsilikatglas gezeigt, die insbesondere eine Gateelektrode 12 von einer Sourceelektrode 11 trennt, welche den Bodykontakt 8 und die Sourcezone 9 kontaktiert. Die Elektroden 11, 12 können beispielsweise aus Aluminium bestehen.  
25

Bei diesem MOS-Transistor fließt der Strom durch den eine Kanalzone bildenden Bodybereich 6 von der Sourcezone 9 zu der epitaktischen Schicht 2 bzw. zu dem  $p^+$ -leitenden Substrat 1,  
30 welche zusammen eine Drainzone darstellen. Der Stromfluß wird dabei durch die an die Gateelektrode 12 und damit an das polykristalline Silizium 5 gelegte Spannung gesteuert.

Bei einem MOS-Transistor, wie dieser oben erläutert ist, treten an der Stufe 20, also dem Übergang von dem dünnen Oxid zu dem dicken Oxid der Isolierschicht 4 mit einem Oxidrand 15 im Trench 3 elektrische Feldspitzen im Silizium auf. Dies ist  
35



aus Fig. 2 zu ersehen, in welcher elektrische Äquipotential-  
linien 13 zusammen mit einem Bereich 14 gezeigt sind, in wel-  
chem bevorzugt Avalanche-Durchbrüche zu verzeichnen sind. Bei  
zu kleinem Abstand zwischen den benachbarten Trenches 3 sind  
5 nämlich diese Feldspitzen höher als das elektrische Feld in  
der Zellmitte am pn-Übergang zwischen dem Bodybereich 6 und  
der epitaktischen Schicht 2, so daß eine Lawinenmultiplikati-  
on und eine Injektion von heißen Ladungsträgern in die Iso-  
lierschicht 4 auftreten, wodurch die Isolierschicht 4 geschä-  
10 digt wird und sogar eine Zerstörung des Transistors resultie-  
ren kann.

Dieses bisher bei tiefen Trenches 3 nicht erkannte und somit  
auch noch nicht gelöste Problem wird durch die Erfindung da-  
15 durch gelöst, daß durch ein zusätzliches Gebiet 7, das n-lei-  
tend und dabei höher dotiert als der Bodybereich 6 ist, ins-  
besondere durch Ionenimplantation vorgesehen wird. Dadurch  
wird das elektrische Feld am pn-Übergang zwischen dem Bodybe-  
reich 6 und der epitaktischen Schicht 2 erhöht, so daß der  
20 Durchbruch bevorzugt am pn-Übergang bei einer niedrigeren  
Source-Drain-Spannung als der Durchbruch an der Stufe 20 er-  
folgt. Es ist dabei zweckmäßig, wenn der Übergang zwischen  
dem dünneren und dickeren Teil der Isolierschicht 4 abge-  
schrägt wird. Das heißt, die Stufe 20 wird zweckmäßigerweise  
25 schräg gestaltet, wie dies auch aus der Fig. 1 zu ersehen  
ist.

Das Gebiet 7 wird zweckmäßigerweise durch Ionenimplantation  
eingebracht. Selbstverständlich können gegebenenfalls aber  
30 auch andere Verfahren angewandt werden, um dieses Gebiet 7 zu  
erzeugen. Vorzugsweise haben die Gebiete 7 einen steileren  
Dotierstoffgradienten als der Bodybereich 6.

Fig. 3 zeigt den Verlauf des elektrischen Feldes mit den  
35 Äquipotentiallinien 13 ähnlich zu Fig. 2, wobei hier aber ein  
Durchbruch nicht mehr an der Stufe 20 erfolgt. Vielmehr ist  
der Bereich 14, in welchem ein Durchbruch bevorzugt zu beob-

achten ist, in das Innere des Bodybereiches verlagert, in welchem bevorzugt der Strom im Avalanche-fall fließt. Mit anderen Worten, der Durchbruch erfolgt nicht mehr im Bereich der Wand des Trenches 3.

5

Die Fig. 4 bis 6 zeigen verschiedene Ausführungsbeispiele für die Anordnung der Trenches 3 zu den zusätzlichen Gebieten 7:

10

Die Gebiete 7 zur Bodyverstärkung können - mittels Phototechnik justiert - jeweils zwischen zwei Trenches 3 implantiert und ausgeheilt werden (vgl. Fig. 4), wodurch die Dotierung im Kanalbereich nicht verändert wird. Eine andere mögliche Gestaltung ist in Fig. 5 mit quadratischen Zellen der Gebiete 7 gezeigt, welche zwischen sich senkrecht kreuzenden Trenches angeordnet sind.

15

20

Eine weitere bevorzugte Ausführungsform ist in Fig. 6 dargestellt, in welcher die Gebiete 7 senkrecht zu den Trenches 3 verlaufen. Dabei sind die Gebiete implantiert und derart ausgeheilt, daß die Dotierung im Kanalbereich erhöht wird und dieser Teil des MOS-Transistors nicht mehr zum Kanalstrom beiträgt.

25

30

Der erfindungsgemäße avalanche-feste MOS-Transistor hat also das zusätzliche Gebiet 7, das bevorzugt durch Ionenimplantation eingebracht ist und nicht unter die gesamte "Bodydotierung" reichen muß. Auch braucht dieses Gebiet nicht von der Oberfläche her ausdiffundiert zu werden. Es klemmt die Durchbruchsspannung durch seine höhere Dotierstoffkonzentration und durch Einbeziehung der feldmodellierenden Wirkung der tiefen Trenches mit der Stufe 20 fest.

35

Der Verlauf der Dotierungen ist in der Fig. 7 für eine Anordnung nach Fig. 6 gezeigt. Es ist hier deutlich zu sehen, daß bei der Erfindung ("Donatoren mit Bodyverstärkung") die Dotierungskonzentration im Bereich von etwa  $10^{17}$  bis über  $10^{19}$  Ladungsträger  $\text{cm}^{-3}$  in dem Gebiet 7 beträgt, was deutlich

oberhalb der üblichen Dotierung des Bodybereiches ("Donatoren ohne Bodyverstärkung") liegt. Die durch Simulation erhaltenen Ergebnisse der Fig. 7 sind in den Gebieten 7 nahe an deren Schnittstelle mit den Trenches 3 gezeigt.

5

Fig. 8 zeigt eine ähnliche Darstellung wie Fig. 7 für eine Anordnung nach Fig. 4, wobei "Nähe Kanal" eine Stelle in der Nähe der Trenche bedeutet, während unter "Zellmitte" eine Stelle in der Mitte des streifenförmigen Gebietes 7 zu verstehen ist. Aus Fig. 8 ist zu ersehen, daß die Dotierungskonzentration in den Gebieten 7 hier etwa  $10^{17}$  bis  $10^{19}$  Ladungsträger  $\text{cm}^{-3}$  beträgt.

Die obigen Dotierungskonzentrationen sind lediglich ungefähre Werte für die Dotierung in den n-leitenden Gebieten 7. Selbstverständlich können auch andere Werte, also beispielsweise höher als  $10^{19}$  Ladungsträger  $\text{cm}^{-3}$  angewandt werden.

Auch ist es möglich, die angegebenen Polaritäten zu vertauschen, so daß dann das Gebiet 7 beispielsweise mit Bor p-dotiert ist.

Schließlich reichen in den obigen Ausführungsbeispielen die Trenches 3 bis in die Nähe des unteren Endes der p-leitenden epitaktischen Schicht 2. Es ist aber auch möglich, daß die Trenches 3 bis in das  $p^+$ -leitende Substrat 1 hinein vorge-  
trieben sind.

## Patentansprüche

1. Trench-MOS-Transistor mit einem Halbleiterkörper (1, 2)  
des einen Leitungstyps, in welchem ein mit einer Gate-  
elektrode (5, 12) versehener Graben (3) vorgesehen ist,  
der in einer Seitenfläche an seinem oberen Ende wenig-  
stens eine Sourcezone (9) des einen Leitungstyps aufweist  
und mit seinem unteren Ende in den wenigstens eine Drain-  
zone des einen Leitungstyps bildenden Halbleiterkörper  
(1, 2) hineinreicht, wobei zwischen Sourcezone (9) und  
Drainzone (1, 2) ein Bodybereich (6) des anderen Lei-  
tungstyps vorgesehen ist und die Gateelektrode (5, 12)  
von Sourcezone (9), Bodybereich (6) und Drainzone durch  
eine Isolierschicht (4) getrennt ist, die eine Stufe (20)  
aufweist, so daß die Isolierschicht (4) zum unteren Ende  
des Grabens (3) hin eine größere Schichtdicke als an des-  
sen oberem Ende hat,  
dadurch gekennzeichnet, daß  
der Bodybereich (6) zur Drainzone hin mit einem Gebiet  
(7) des anderen Leitungstyps verstärkt ist, wobei dieses  
Gebiet (7) zur Erhöhung der Avalanche-festigkeit höher do-  
tiert ist als der Bodybereich (6).
2. Trench-MOS-Transistor nach Anspruch 1,  
dadurch gekennzeichnet, daß  
das Gebiet (7) des anderen Leitungstyps einen steileren  
Dotierstoffgradienten als der Bodybereich (6) hat.
3. Trench-MOS-Transistor nach Anspruch 1 oder 2,  
dadurch gekennzeichnet, daß  
die Stufe (20) der Isolierschicht (4) abgeschrägt ist.
4. Trench-MOS-Transistor nach einem der Ansprüche 1 bis 3,  
dadurch gekennzeichnet, daß  
das Gebiet (7) des anderen Leitungstyps durch Ionenim-  
plantation eingebracht ist.

5. Trench-MOS-Transistor nach einem der Ansprüche 1 bis 4,  
dadurch gekennzeichnet, daß  
das Gebiet (7) des anderen Leitungstyps streifenförmig  
gestaltet ist.
- 5 6. Trench-MOS-Transistor nach Anspruch 5,  
dadurch gekennzeichnet, daß  
das Gebiet (7) des anderen Leitungstyps im Abstand zwischen  
Gräben (3) parallel zu diesen angeordnet ist.
- 10 7. Trench-MOS-Transistor nach Anspruch 5,  
dadurch gekennzeichnet, daß  
das Gebiet (7) des anderen Leitungstyps senkrecht zu den  
Gräben (3) verläuft.
- 15 8. Trench-MOS-Transistor nach Anspruch 6,  
dadurch gekennzeichnet, daß  
die Ladungsträgerkonzentration in dem Gebiet (7) des anderen  
Leitungstyps  $10^{17}$  bis  $10^{19}$  Ladungsträger/cm<sup>3</sup> be-  
20 trägt.
9. Trench-MOS-Transistor nach einem der Ansprüche 1 bis 8,  
dadurch gekennzeichnet, daß  
der Halbleiterkörper (1, 2) durch eine auf einem Halblei-  
25 tersubstrat (1) vorgesehene epitaktische Schicht (2) ge-  
bildet ist, und daß der Graben (3) in die epitaktische  
Schicht (2) eingebracht ist.
- 30 10. Trench-MOS-Transistor nach Anspruch 9,  
dadurch gekennzeichnet, daß  
der Graben (3) in der Nähe des Überganges zwischen der  
epitaktischen Schicht (2) und dem Substrat (1) endet.
- 35 11. Trench-MOS-Transistor nach einem der Ansprüche 1 bis 10,  
dadurch gekennzeichnet, daß  
der eine Leitungstyp der p-Leitungstyp ist.

1/2

Fig. 1

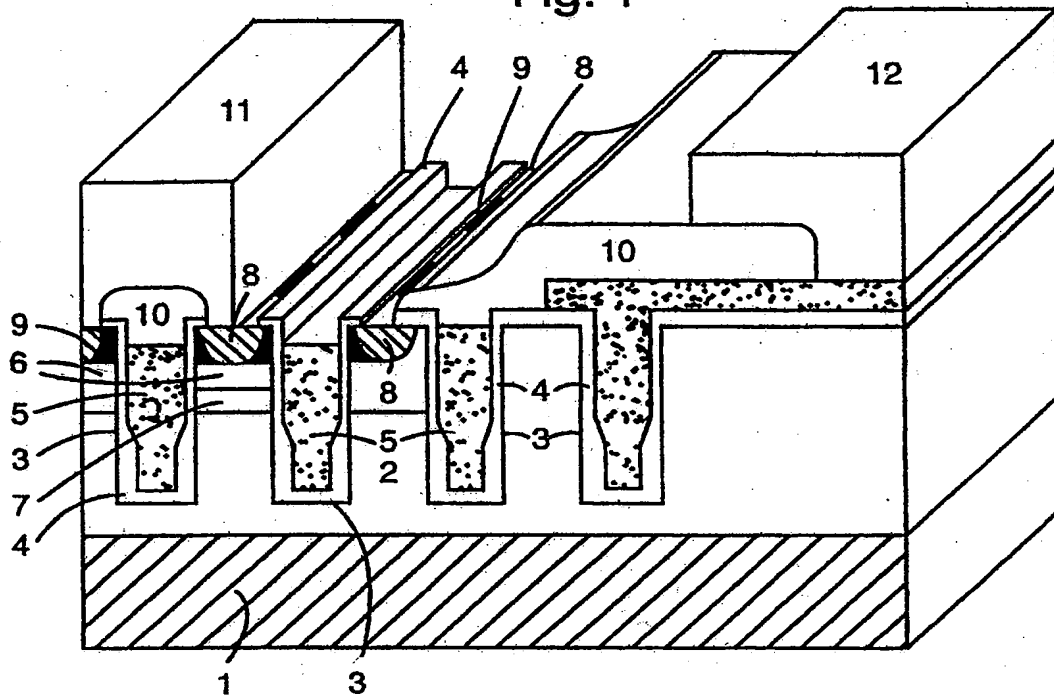


Fig. 2

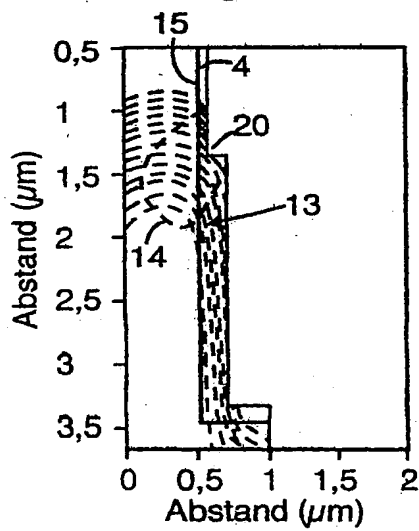


Fig. 3

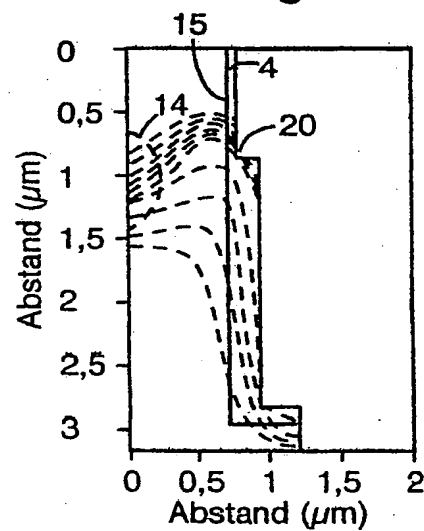


Fig. 4

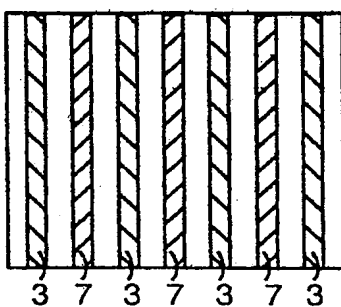


Fig. 5

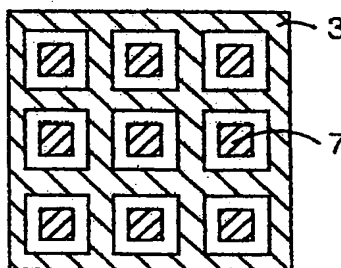


Fig. 6

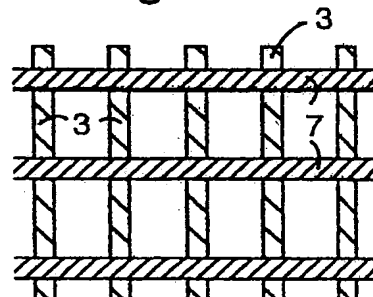


Fig. 7

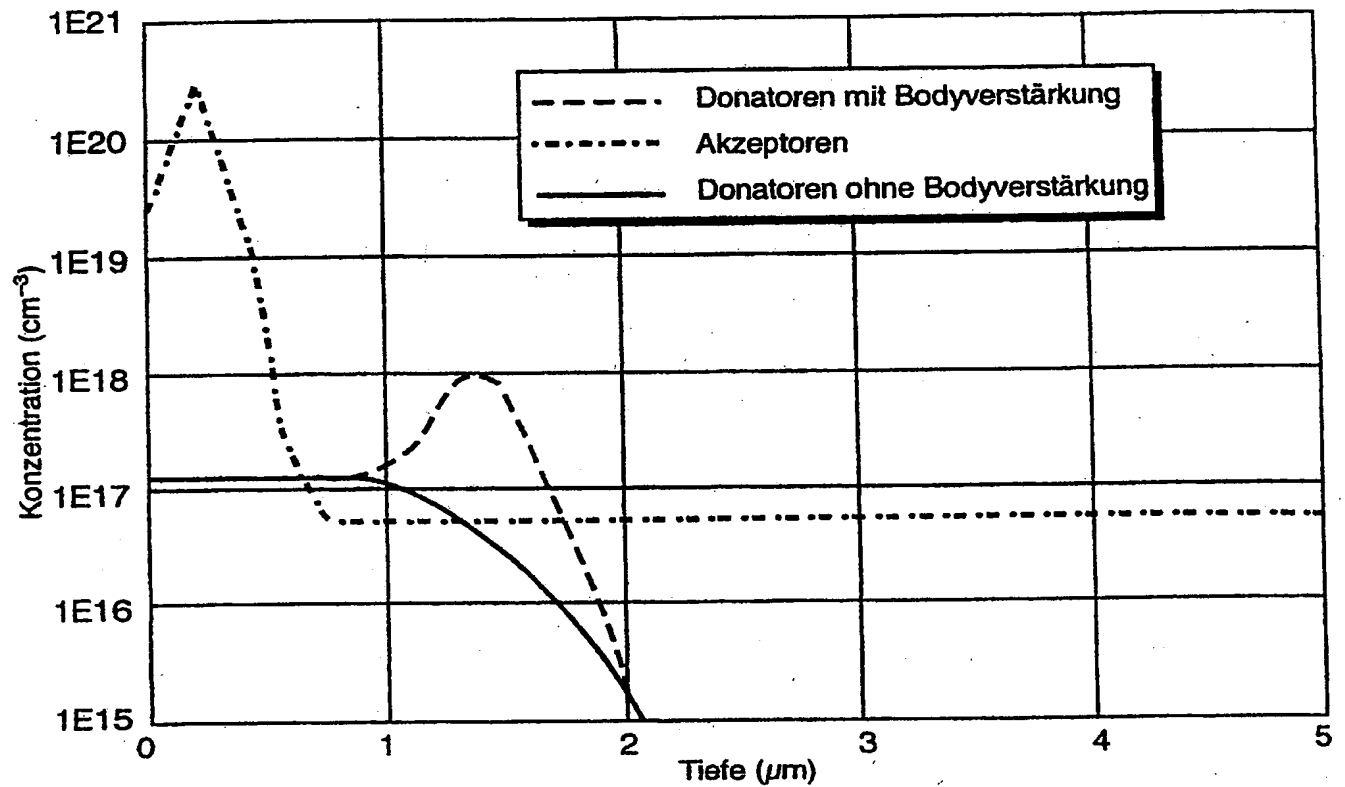


Fig. 8

